(19)日本国特許庁(JP)

# (12) 公開特許公報(A)

(11)特許出願公開番号

# 特開平6-151701

(43)公開日 平成6年(1994)5月31日

(51)Int.CL<sup>5</sup>

識別記号

庁内整理番号

FΙ

技術表示箇所

H 0 1 L 25/065 25/07

25/18

H01L 25/08

R

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平4-298515

(22)出願日

平成 4年(1992)11月 9日

(71)出顧人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 頼 明照

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

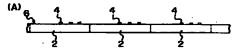
(74)代理人 弁理士 青山 葆 (外1名)

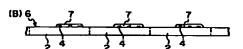
### (54) 【発明の名称】 半導体装置の製造方法

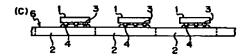
## (57)【要約】

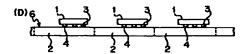
【目的】 量産性に優れ、チップオンチップデバイスの 製造コストを低減できる半導体装置の製造方法を提供する

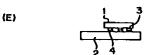
【構成】 個別に切断される前のウェハ状態の複数個の 半導体基板2上に半導体チップ1を実装し、その後、半 導体基板2を個別に切断する。











1

# 【特許請求の範囲】

【請求項1】 半導体基板と上記半導体基板上に実装さ れた半導体チップとを含む半導体装置の製造方法におい て、

個別に切断される前のウェハ状態の複数個の半導体基板 上に半導体チップを実装し、

その後、上記半導体基板を個別に切断することを特徴と する半導体装置の製造方法。

#### 【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は半導体装置の製造方法に 関し、特に半導体基板上に半導体チップを実装した半導 体装置の製造方法に関するものである。

[0002]

【従来技術】近年、図2および図3に示すように半導体 基板22、32上に半導体チップ21、31を搭載した半 導体装置であるチップオンチップデバイスを作製するた めのチップオンチップ実装技術の開発が盛んに行われて いる。

【0003】図2に示すチップオンチップデバイスは、 フリップチップボンディング技術を用いて、ハンダバン プ23を介して半導体基板22に半導体チップ21を接 続したチップオンチップデバイスである。

【0004】また、図3に示すチップオンチップデバイ スは、ワイヤーボンディング技術を用いてワイヤー35 を介して半導体基板32に半導体チップ31を接続した チップオンチップデバイスである。

【0005】このチップオンチップ実装技術は、大きな サイズのチップの搭載が容易であり、信頼性に優れ、多 機能化・大容量化・高密度化が容易である等の特長を有 30 しており、次世代の高密度実装技術として大きく期待さ れている。

【0006】図2に示すチップオンチップデバイスの作 製およびパッケージングは、一般に、以下の(i)~(v)に 示すような順に行う。

- (i) バンプ付半導体チップ21を作製する。
- (ii) ボンディングパッド24を有する半導体基板22 を作製する。
- (iii) ダイシング後の個々の半導体基板22上に半導体 チップ21をフリップチップボンディングする。
- (iv) 電気テストを行い、半導体チップ21に不良があ れば、半導体チップ21のリペアーを行う。必要に応じ て半導体チップ21と半導体基板22の界面にレジンを 注入し、チップオンチップデバイスの作製を完了する。 (v) チップオンチップデバイスをパッケージングす る。

### [0007]

【発明が解決しようとする課題】しかしながら、従来、 上述のような方法でチップオンチップデバイスを作製す ス塗布と、半導体チップ21の仮接着と、リフローと、 フラックス洗浄と、テスト等の工程を行う必要があるの で、量産性が悪く、トータル的に見てコストアップにな るという問題がある。

2

【0008】また、ワイヤーボンディング方式による作 製方法においてもダイボンディング工程やテスト工程 を、個々の半導体基板32について実施しなければなら ず量産性に問題があった。

【0009】そこで、本発明の目的は、量産性に優れ、 10 チップオンチップデバイスの製造コストを低減できる半 導体装置の製造方法を提供することにある。

#### [0010]

【問題を解決するための手段】上記目的を達成するため に、本発明は、半導体基板と上記半導体基板上に実装さ れた半導体チップとを含む半導体装置の製造方法におい て、個別に切断される前のウェハ状態の複数個の半導体 基板上に半導体チップを実装し、その後、上記半導体基 板を個別に切断することを特徴としている。

[0011]

【作用】本発明によれば、ウェハ状態の複数個の半導体 基板上に半導体チップを実装するので、従来個々の半導 体基板毎に行っていたフラックス塗布工程およびリフロ 一工程およびフラックス洗浄工程およびテスト工程等 を、ウェハ単位で行うことができるので、1つの半導体 基板当たりに必要な工程数を大幅に低減することが可能

#### [0012]

【実施例】以下、本発明を図示の実施例に基づいて詳細 に説明する。

【0013】図1に、本発明の半導体装置の製造方法の 実施例を示す。図1(A),(B),(C),(D),(E)を順に参 照して、上記実施例を説明する。

【0014】図1(A)に示すウェハ6は、多数の半導体 基板2を含んでいる。半導体基板2はポンディングパッ ド部4を含んでいる。このボンディングパッド部4は、 例えばCuやAuのようなハンダが濡れる金属層を含んで いる。

【0015】図1(B)に示すように、上記ウェハ6のボ ンディングパッド部4に、例えば、転写またはスタンピ 40 ングまたはディスペンサー等によってフラックス7を塗 布する。次に、図1(C)に示すように、上記ウェハ6が 含む各半導体基板2上に、ハンダバンプ3を含む半導体 チップ1を、フリップチップボンダーを用いてプレース メントする。この時、ハンダパンプ3はフラックスの粘 着力によって半導体基板2のボンディングパッド部4に 仮接着される。

【0016】次に、上記ウェハ6および半導体チップ1 を、最大温度がハンダの融点より高いリフロー炉に通 し、ハンダバンプ3を溶融して、上記半導体チップ1と る場合には、一枚毎の半導体基板22に対してフラック 50 ウェハ6とを接続する。その後、フラックス残渣を溶剤 3

洗浄によって除去する(図1(D)参照)。最後に、形成さ れた各半導体チップ1を電気テストし、チップ1に不良 があれば、不良チップを除去し、再度フラックス塗布か ら工程を繰り返す。不良が無ければ、上記半導体チップ 1と上記半導体基板2とを含む各チップオンチップデバ イスをダイシングによって個別化し(図1(E)参照)、エ 程を完了する。

【0017】このように、上記実施例は、チップオンチ ップデバイスの半導体基板2がウェーハ状態のときに、 この半導体基板2に半導体チップ1をフリップチップボ 10 ンディングすることによって、複数個のチップオンチッ プデバイスを一度に作製し、最後にダイシングを行って チップオンチップデバイスを個々に分割するものであ . る.

【0018】したがって、この実施例によれば、ウェハ レベルでチップオンチップデバイスを作製することがで き、従来個々の半導体基板毎に行っていたフラックス塗 布工程およびリフロー工程およびフラックス洗浄工程お よびテスト工程等をウェハ単位で行うことができるの で、デバイス1個作製するに当たって必要となる工程数 20 程を示す断面図である。 を大幅に減少させることができ、デバイス作製コストを 大幅に削減できる。

【0019】尚、本実施例では半導体基板2上への半導 体チップ1の搭載をフリップチップボンディングによっ て行う場合について説明したが、本発明はフリップチッ プボンディングだけに限られるものではなく、ワイヤー ボンディング方式やその他のチップ実装方式においても 適用できることは言うまでもない。この場合、ウェハレ ベルでダイボンディング工程やテスト工程が行えるよう になって、チップオンチップデバイスの製造工数を大幅 30

に削減できる。

【0020】また、本実施例では1個の半導体基板2上 へ搭載する半導体チップ1の個数が1つである場合につ いて説明を行ったが、本発明は1個の半導体基板上へ複 数個の半導体チップを搭載する場合においても適用可能 であることは言うまでもない。

4

#### [0021]

【発明の効果】以上の説明より明らかなように、本発明 の半導体装置の製造方法は、ウェハ状態の複数個の半導 体基板上に半導体チップを実装するものである。したが って、この発明によれば、ウェハレベルでチップオンチ ップデバイスを作製することができ、ダイシング済みの 個々の半導体基板のレベルでチップオンチップデバイス を作製していた従来例に比べて、デバイス1個作製する に当たって必要となる工程数を大幅に減少させることが できる。したがって、デバイス作製コストの削減に大き く寄与することができる。

#### 【図面の簡単な説明】

【図1】 本発明の半導体装置の製造方法の実施例の工

【図2】 フリップチップボンディング方式によって製 造したチップオンチップデバイスの断面図である。

【図3】 ワイヤーボンディング方式によって製造した チップオンチップデバイスの断面図である。

## 【符号の説明】

1 半導体チップ

2 半導体基板

3 ハンダバンプ

4 ボンディン

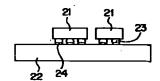
グパッド

5 ワイヤー

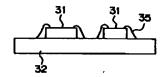
6 ウェハ

7 フラックス

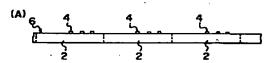
【図2】

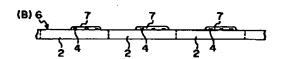


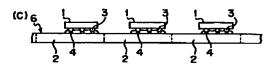
【図3】

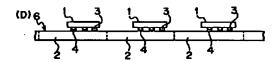


(図1)









(E)

